

ESPECIFICANDO FORMALMENTE TOPOLOGIAS PARA REDES EM CHIP

E. V. Santos¹ e K. D. N. Ramos¹¹UERN—Universidade do Estado do Rio Grande do Norte
eliselma.vieira@natal.uern.com.br- karlaramos@uern.br

Artigo submetido em outubro/2011 e aceito em novembro/2011

RESUMO

Este artigo trata da utilização de métodos formais na especificação de topologias para redes em chip. As redes em chip apresentam similaridades com as redes tradicionais, entretanto por estarem inseridas em sistemas embarcados apresentam características mais restritivas do ponto de vista de espaço, consumo de energia e latência. A Topologia descreve o fluxo de dados através da rede e a estrutura física de como os dispositivos estão, bem como, pode determinar o grau

de escalabilidade e o desempenho de um sistema como o todo. Este artigo apresenta especificações de topologias de redes em chip, relevantes para os projetos de sistemas embarcados, as quais poderão ser utilizadas no processo de síntese de alto nível.

PALAVRAS-CHAVE: Especificação formal, Notação em Z, Redes em chip, Qualidade de serviço.

SPECIFYING FORMALLY TOPOLOGIES FOR NETWORK ON CHIP

ABSTRACT

This article deals with the use of formal methods in the specification of topologies for networks on chip. The networks on chip (NoC) have similarities with the traditional networks, however, they have characteristics more restrictive in terms of space, power consumption and latency. The topology describes the flow of data across the network and the physical

structure of how devices are connected, that can determine the degree of scalability and performance of the systems as a whole. This paper presents specifications of topologies network on chip that are relevant for the design of embedded systems and may be used in the synthesis process of high level.

KEY-WORDS: Formal specification, Notation in Z, Network on chip, Quality of service.

ESPECIFICANDO FORMALMENTE TOPOLOGIAS PARA REDES EM CHIP

INTRODUÇÃO

Atualmente a tecnologia de circuitos integrados permite a integração de múltiplos componentes em um único chip, resultando no conceito, em inglês, de *System-on-Chip* ou simplesmente SoC [JERRYAYA 2004]. Devido a esta integração, há um aumento na complexidade de projetos SoCs, principalmente no projeto da estrutura de comunicação, que basicamente consiste de dois paradigmas: barramentos e redes em chip.

A estrutura de barramento, por um lado, não possui uma largura de banda escalável, e por outro lado, possui arbitragem centralizada, não se tornando, portanto, adequada para interconectar os vários componentes de um SoC. Por sua vez, as redes em chip são conjuntos de roteadores e canais ponto-a-ponto que interconectam os núcleos de um sistema integrado de modo a suportar a comunicação entre os núcleos. Logo, apresentam-se como a melhor opção para interconexão de componentes de sistemas em um único chip [GUERRIER 2000].

Devido à complexidade na comunicação de SoCs, é necessário definir, entre outros mecanismos de comunicação, a topologia mais adequada para atender os requisitos das aplicações. As diferentes alternativas de topologia e de mecanismo de comunicação têm impacto direto no desempenho da rede, as quais podem ser avaliadas por meio de algumas métricas, como largura de banda, vazão e latência [ZEFERINO 2003a]. Essas métricas também podem ser definidas como qualidade de serviço.

Este trabalho utiliza métodos formais como suporte à análise qualitativa de propriedades do sistema de comunicação, mesmo antes do desenvolvimento do próprio sistema. O uso de métodos formais amplia o conjunto de vetores de testes abrangendo todos os possíveis casos, possibilitando a realização de uma verificação abrangente do comportamento do sistema em um alto nível de abstração [RAMOS 2007].

Portanto, este trabalho tem como objetivo especificar topologias para redes em chip, atendendo os requisitos de QoS relevantes para os projetos de sistemas embarcados. As topologias especificadas poderão ser reusadas e inseridas em uma biblioteca de especificações, as quais poderão ser utilizadas no processo de síntese de alto nível [COSSY *et al* 2009].

Este artigo está dividido em 5 seções. A seção 2 trata dos trabalhos relacionados. A seção 3 apresenta a especificação formal das topologias *mesh* e *ring*. A seção 4 trata da especificação formal e síntese de alto nível. A seção 5 apresenta a conclusão da pesquisa.

2. TRABALHOS RELACIONADOS

A topologia de rede consiste na estrutura de interconexão de como os roteadores estão interligados e exercem forte influência sobre o desempenho, projeto e a implementação da rede. Existem diferentes formas de interconectar os vários nós de uma rede. Em geral, essa organização pode ser expressa na forma de um grafo, onde os roteadores são vértices e os canais de comunicação são arcos [NI 1993]. Esse grafo é do tipo $G(N, C)$ no qual os roteadores são os vértices do grafo e os canais são os arcos.

Considerando os projetos de redes em chip, a topologia mais adotada é a topologia em malha (em inglês, *mesh*). ZEFERINO e SUSIN apresentam em [ZEFERINO e SUSIN 2007] a rede SoCIN (*SoC Interconnection Network*) que é uma rede de interconexão com chaveamento por pacote do tipo *Wormhole* e topologia em malha. A SoCIN utiliza o algoritmo de roteamento XY, que garante que não haverá *deadlock* na rede. Em [BERTOZZI 2004] foi desenvolvido a rede de interconexão Xpipes que é voltada para SoCs que operam na escala dos gigabytes. A rede constitui de uma biblioteca com componentes altamente parametrizáveis (interface de rede, roteador) que são utilizados na fase de projeto para compor uma rede em chip. Em [MORAES *et al* 2004] foi desenvolvida uma infraestrutura para a implementação de redes em chip com topologia em malha. Consiste de *links* e roteadores com cinco portas bidirecionais cada, sendo quatro para a comunicação externa com outros roteadores e uma porta para a comunicação local com o núcleo ao qual o roteador está associado.

Apesar das topologias em malha serem mais adotadas, existem redes em chip que adotam outros tipos de topologia, tais como a topologia anel. Em [SAMUELSSON 2004] apresentam a rede em chip *Ring Road* interconectada por topologia anel com chaveamento por pacote do tipo *Store-and-forward*. Em [CHOU *et al* 2010] foi desenvolvida a rede em chip *HrNoC* com topologia anel, que utiliza comutação por circuito para a comunicação local e comutação por pacote do tipo *wormhole* para a comunicação entre as redes externas.

A rede em chip Aethereal [GOOSSENS 2005a] é uma estrutura de comunicação que foi desenvolvida nos laboratórios de pesquisa da Philips, a qual faz uso de técnicas formais em seu projeto, e tem como princípio que o serviço garantido da entrega de dados ordenados, sem perda e não corrompidos, bem como outros aspectos de QoS, são essenciais para a construção eficiente de SoCs complexos [GOOSSENS 2005b]. Portanto, considerando o uso de técnicas formais no projeto de redes em chip a próxima seção apresenta a especificação formal de topologias a partir da adoção da metodologia CADZ [RAMOS 2007].

3. ESPECIFICAÇÃO FORMAL DAS TOPOLOGIAS MALHA E ANEL

A metodologia CADZ utiliza métodos formais como suporte à análise qualitativa de propriedades do sistema de comunicação. Por meio da metodologia CADZ foram especificadas as topologias de redes do tipo malha e anel, as quais são apresentadas nas sub-seções 3.1 e 3.2, respectivamente.

3.1 TOPOLOGIA MALHA (*MESH TOPOLOGY*)

A topologia malha é caracterizada por um nó que se conecta aos seus nós adjacentes, disponibilizados em forma de malha. A Figura 1 exibe a especificação formal, na notação Z, da topologia malha. Este esquema ilustra na parte declarativa as funções necessárias para descrição de uma topologia Malha. As restrições constantes na parte do predicado especificam que uma topologia em malha é composta no mínimo por quatro roteadores, os quais estão associados a um par ordenado que identifica sua posição na rede ($R(i, j)$). Além da posição do roteador, a parte predicativa especifica os links entre os roteadores ($R(i+/-1, j)$ e $R(i, j+/-1)$).

<i>MeshTopology</i>	
Parte Declarativa	$\begin{aligned} & \text{NoC} \\ & \text{dimx: } \mathbb{N}_1 \\ & \text{dimy: } \mathbb{N}_1 \\ & \text{nocSize: } \mathbb{N} \\ & \text{placexy: } \mathcal{P}(\mathbb{N} \times \mathbb{N}) \\ & \text{routerplacexy: } \text{Router} \leftrightarrow \mathbb{N} \times \mathbb{N} \end{aligned}$
Parte Predicativa	$\begin{aligned} & \text{dom routerplacexy} = \text{routers} \\ & \text{ran routerplacexy} = \text{placexy} \\ & \text{placexy} = 0 \dots \text{dimx} - 1 \times 0 \dots \text{dimy} - 1 \\ & \text{nocSize} > 4 \\ & \forall x, y: \mathbb{N} \mid x > 0 \wedge (x, y) \in \text{placexy} \\ & \quad \cdot (\text{routerplacexy} \sim (x, y), \text{routerplacexy} \sim ((x - 1), y)) \in \text{links} \\ & \forall x, y: \mathbb{N} \mid x < \text{dimx} - 1 \wedge (x, y) \in \text{placexy} \\ & \quad \cdot (\text{routerplacexy} \sim (x, y), \text{routerplacexy} \sim ((x + 1), y)) \in \text{links} \\ & \forall x, y: \mathbb{N} \mid y > 0 \wedge (x, y) \in \text{placexy} \\ & \quad \cdot (\text{routerplacexy} \sim (x, y), \text{routerplacexy} \sim (x, (y - 1))) \in \text{links} \\ & \forall x, y: \mathbb{N} \mid y < \text{dimy} - 1 \wedge (x, y) \in \text{placexy} \\ & \quad \cdot (\text{routerplacexy} \sim (x, y), \text{routerplacexy} \sim (x, (y + 1))) \in \text{links} \end{aligned}$

Figura 1 - Especificação formal da Topologia Malha

3.2 TOPOLOGIA ANEL (RING TOPOLOGY)

Conectando-se as extremidades da rede linear tem-se uma rede em anel, cuja distância entre dois nodos qualquer é, no máximo, igual à distância destes nodos em uma topologia linear.

A especificação formal da topologia anel Figura 2, define que essa topologia deve conter no mínimo (3) roteadores, utiliza apenas uma dimensão e os roteadores estão interconectados conforme as restrições explicitadas na parte predicativa ($R(x+1)$, $R(x-1)$, $R(\text{nocSize} - 1)$).

<i>RingTopology</i>	
Parte Declarativa	NoC $dimx: \mathbb{N}_1$ $nocSize: \mathbb{N}$ $placex: \mathbb{P} \mathbb{N}$ $routerplacex: Router \leftrightarrow \mathbb{N}$
Parte Predicativa	$dom\ routerplacex = routers$ $ran\ routerplacex = placex$ $placex = 0 .. dimx$ $nocSize > 3$ $placex = 0 .. nocSize - 1$ $\forall x: \mathbb{N} \mid x > 0 \wedge x \in placex$ <ul style="list-style-type: none"> • $(routerplacex \sim x, routerplacex \sim (x - 1)) \in links$ $\forall x: \mathbb{N} \mid x = 0 \wedge x \in placex$ <ul style="list-style-type: none"> • $(routerplacex \sim x, routerplacex \sim (nocSize - 1)) \in links$ $\forall x: \mathbb{N} \mid x < nocSize - 1 \wedge x \in placex$ <ul style="list-style-type: none"> • $(routerplacex \sim x, routerplacex \sim (x + 1)) \in links$ $\forall x: \mathbb{N} \mid x = nocSize - 1 \wedge x \in placex$ <ul style="list-style-type: none"> • $(routerplacex \sim x, routerplacex \sim (nocSize - nocSize)) \in links$

Figura 2 - Especificação formal da Topologia Anel

Considerando que o método formal é incremental, a complexidade de um dado projeto pode ser administrada pelo uso de estratégias de refinamento sucessivo. Por exemplo, a partir da especificação da topologia Anel outras topologias baseadas em anel podem ser especificadas. A rede em Chip *Ring Road* [SAMUELSSON 2004], por exemplo, pode ser especificada a partir do refinamento da especificação da Figura 2. Neste caso, seria necessário acrescentar na parte predicativa da especificação as restrições inerentes à comunicação intra e inter anéis realizada pela *Ring Road*.

A rede em chip *HrNoC* [CHOU 2010] possui topologia em anel, sua configuração é baseada em clusters que são organizados em intra e inter anéis, bem como, pontes de ligação. Enquanto os intra anéis são responsáveis pela comunicação interna da rede, as pontes de ligação são responsáveis pela comunicação realizada entre a rede interna e a externa. As pontes de ligação realizam a comunicação entre anéis distintos. A *HrNoC* é mais um exemplo de refinamento que pode ser realizado a partir da especificação ilustrada na Figura 2.

4. ESPECIFICAÇÃO FORMAL E SÍNTESE DE ALTO NÍVEL

A integração de múltiplos componentes em um SoC conduziu a mudanças na metodologia de projeto no nível de sistemas eletrônicos (*Electronic System-Level – ESL*), uma vez que se faz necessário reduzir o tempo de projeto e tratar a complexidade crescente dos sistemas. O projeto de circuitos integrados específicos, por exemplo, envolve diferentes etapas: síntese, validação e teste. Logo, o projeto de sistemas pode ser visto como uma

sucessão de etapas que envolvem diferentes níveis de abstração, conforme exibido na Figura 3.

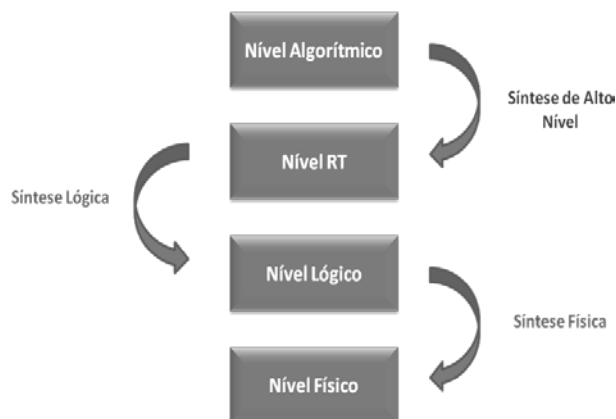


Figura 3. Níveis de Abstração de Projetos de Sistemas

Em [MCFARLAND *et al* 1990] a síntese de alto nível foi definida como a tradução de uma especificação do comportamento de um sistema no nível algorítmico para a estrutura no nível de transferência entre registradores (RT) que implementa aquele comportamento. Portanto, é exatamente no contexto da especificação comportamental que esta pesquisa visa contribuir, pois busca-se por meio da utilização da especificação formal provar a validade dos requisitos essenciais do projeto, buscando eliminar ambigüidades e reduzir os custos com verificação nas fases posteriores do projeto.

Reportando-se às topologias de redes em chips, busca-se por meio da associação da especificação formal à síntese de alto nível tornar o código no nível de RT com maior precisão em relação ao atendimento de requisitos do projeto e, possivelmente, menos susceptível a falhas. Uma maior produtividade pode ser obtida envolvendo a combinação da abstração e do reuso da especificação formal no processo de síntese de alto nível [COUSSY 2009].

5. CONCLUSÃO

Neste artigo, foram apresentadas especificações formais de topologia de redes em chip, que visam auxiliar a síntese de alto nível.

As topologias de redes em chip podem ser especificadas genericamente e sucessivamente refinadas em outras mais específicas, que podem ser utilizadas em diferentes projetos.

Com os resultados desta pesquisa pode-se concluir que as especificações das topologias de redes em chip, contribuem para a escolha adequada da topologia, a fim de atender a qualidade de serviços das aplicações, que cada vez mais exigem desempenho com frequências de operações elevadas e grande capacidade de integração em um mesmo chip.

REFERÊNCIAS BIBLIOGRÁFICAS

1. BERTOZZI, D.; BENINI, L. Xpipes: A Network-on-Chip Architecture for Gigascale System-on-Chip. *IEEE Circuits and Systems Magazine*, v. 4, n. 2, pp. 18-31, 2004.
2. CHOU, S. H. et al. Hierarchical circuit-switched NoC for muticore video processing. *Microprocessors and Microsystems*, p.1-17, 2010, jan. 1996.
3. COUSSY, P. et al. A. An Introduction to High-Level Synthesis, IEEE Design & Test Computers, 2009.
4. GUERRIER, P.; GREINER, A. (2000), A Generic Architecture for on Chip Packet Switched Interconnections, Proc. Design, Automation and Test in Europe Conference and Exhibition, pp. 250–256.
5. GOOSSENS, K.; DIELISSSEN, J.; RADULESCU, A.(2005a), Æthereal network on chip: concepts, architectures, and implementations. IEEE Design and Test of Computers, volume: 22, Issue: 5, pp 414 – 421.
6. GOOSSENS, K.(2005b), Formal Methods for networks in chips, ACSD'05, Fith Internation Conference on Application of concurrency to system design, p 188-189.
7. JERRAYA, A. A.; WOLF, W. (2004) The What, Why, and How of MPSoCs in A. Jerrraya and W. Wolf Editors, Multiprocessors Systems on Chips, Morgan Kaufman, 2004.
8. MCFARLAND et al. The High-Level Synthesis of Digital Systems, Proceedings of the IEEE, v.78, n.2, p.301-318, 1990.
9. MORAES, F. et al. HERMES: An Infrastructure for Low Area Overhead Packet-Switching Networks on Chip. In: *Integration the VLSI Journal*, v. 38, n. 1, pp. 69-93, 2004.
10. NI, L. M.; MCKINLEY, P. K. A survey of wormhole routing techniques in direct networks. *IEEE Computer*, Los Alamitos, v.26, n.2. p.62-76, Feb. 1993
11. RAMOS, K. D. N. CADZ: Uma Metodologia de Projeto baseada em Z para Redes-em-Chip. Tese de Doutorado. (2007), f.152. Brasil: Universidade Federal do Rio Grande do Norte.
12. SAMUELSSON, H.; KUMAR, S. Ring road NoC architecture, in: Proceeding of Norchip Conference, p.1-4, 2004.
13. ZEFERINO, C. A. Redes-em-Chip: Arquiteturas e Modelos para Avaliação de Área e Desempenho. 2003a. 194 f. Tese de Doutorado (Doutorado em Ciências da Computação) – Instituto de informática, UFRGS, Porto Alegre.
14. ZEFERINO, C.A.; SUSIN, A.A. SoCIN: A Parametric and Scalable Network-on-Chip. In: Proceedings of the 16th Symposium on Integrated Circuits and Systems Design, São Paulo, pp.169-174, 200