

## **ESTUDO SOBRE O IMPACTO DOS PROCESSADORES HOSPEDEIROS SPARC V8 E NIOS II NO DESEMPENHO DA ARQUITETURA RECONFIGURÁVEL HÍBRIDA RoSA**

**Alba S. B. Lopes**

Departamento de Informática e Matemática Aplicada da UFRN<sup>1</sup>

[alba@natalnet.br](mailto:alba@natalnet.br)

**M. B. Costa<sup>1</sup>**

[miklecio@natalnet.br](mailto:miklecio@natalnet.br)

**Mônica. M. Pereira<sup>1</sup>**

[monica@natalnet.br](mailto:monica@natalnet.br)

**Ivan S. Silva<sup>1</sup>**

[ivan@dimap.ufrn.br](mailto:ivan@dimap.ufrn.br)

---

### **RESUMO**

Arquiteturas reconfiguráveis são dispositivos de hardware capazes de modificar sua estrutura de hardware de acordo com a aplicação a ser executada. Tais dispositivos surgiram como uma alternativa às soluções de hardware tradicionais na tentativa de equilibrar flexibilidade e desempenho. Uma das principais formas de utilização de arquiteturas reconfiguráveis corresponde a um bloco reconfigurável anexado a um processador hospedeiro. Esse processador é responsável por executar diversas tarefas críticas, incluindo o particionamento hardware/software e indicar o momento do bloco reconfigurável executar. Apesar de existirem diversas propostas de arquiteturas reconfiguráveis na literatura, pouco se estudou sobre o impacto do processador hospedeiro na arquitetura. Nesse contexto, esse artigo apresenta um estudo sobre o impacto do processador hospedeiro no desempenho da arquitetura reconfigurável híbrida. Como estudo de caso foi realizada uma avaliação sobre o uso dos processadores SPARC V8 da Sun Microsystems e Nios II da Altera como processadores hospedeiros da arquitetura reconfigurável híbrida RoSA. O objetivo deste estudo é realizar a comparação entre o desempenho desses processadores e identificar qual deles é o mais adequado para anexar a arquitetura em questão. Os resultados mostraram que foi possível alcançar até 47% de ganho de desempenho com o uso do processador Nios II em comparação ao SPARC V8, indicando o primeiro como mais adequado para a arquitetura RoSA.

**PALAVRAS-CHAVE:** arquiteturas reconfiguráveis, processador hospedeiro, desempenho.

---

## ESTUDO SOBRE O IMPACTO DOS PROCESSADORES HOSPEDEIROS SPARC V8 E NIOS II NO DESEMPENHO DA ARQUITETURA RECONFIGURÁVEL HÍBRIDA RoSA

### 1. INTRODUÇÃO

As duas abordagens tradicionais de arquiteturas de computadores são referentes aos processadores de propósito geral e aos dispositivos de propósito específico. Os processadores de propósito geral são também conhecidos como arquiteturas de Von Neumann. Esses dispositivos possuem um alto grau de flexibilidade sendo, portanto, capazes de realizar qualquer tipo de computação.

Os dispositivos de aplicação específica, conhecidos como ASICs (do inglês *Application Specific Integrated Circuits*), são direcionados à execução de um número restrito de computação ou até mesmo de uma única tarefa. Por esse motivo, alcançam alto desempenho.

Os processadores de propósito geral embora possuam flexibilidade inerente, resultado da capacidade de executar diversos tipos de tarefas, não alcançam o alto desempenho dos dispositivos de aplicação específica. Tais dispositivos, por outro lado, não possuem a flexibilidade dos processadores (Bondalapati e Prasanna, 2002).

Com o objetivo de fornecer uma solução que faça uso da flexibilidade propiciada pelos processadores de propósito geral e do alto desempenho dos ASICs, surgiram as arquiteturas reconfiguráveis. Nesta abordagem, os dispositivos são capazes de adaptar e modificar suas estruturas de hardware de acordo com as necessidades da aplicação (Mangione-Smith, 1997).

A maioria das arquiteturas reconfiguráveis existentes trabalha como co-processador. Essa estrutura, composta de um processador hospedeiro e um ou mais blocos reconfiguráveis, é chamada de arquitetura reconfigurável híbrida (Levine, 2003).

Na literatura podem ser encontradas diversas propostas de arquiteturas híbridas (Hartenstein, 2001). A maioria dos trabalhos publicados concentra-se no projeto do bloco reconfigurável, ou na adaptação e execução de aplicações. Entretanto, pouco se publicou sobre o impacto do processador a ser anexado à lógica reconfigurável. Dessa forma, a escolha do processador geralmente é feita sem qualquer conhecimento sobre sua adequabilidade ao projeto.

Este artigo apresenta um estudo de caso sobre a utilização dos processadores SPARC V8 (Sun Microsystem, 2007) e Nios II (Altera, 2007) como processadores hospedeiros em uma arquitetura reconfigurável híbrida. O objetivo do estudo é obter dados suficientes para fazer opção pelo uso de um dos processadores. O processador selecionado será anexado à arquitetura reconfigurável denominada RoSA.

RoSA é uma arquitetura reconfigurável híbrida de granularidade grossa voltada para a exploração de paralelismo a nível de instrução de aplicações baseadas em fluxo de dados (Pereira, Oliveira, Silva, 2007).

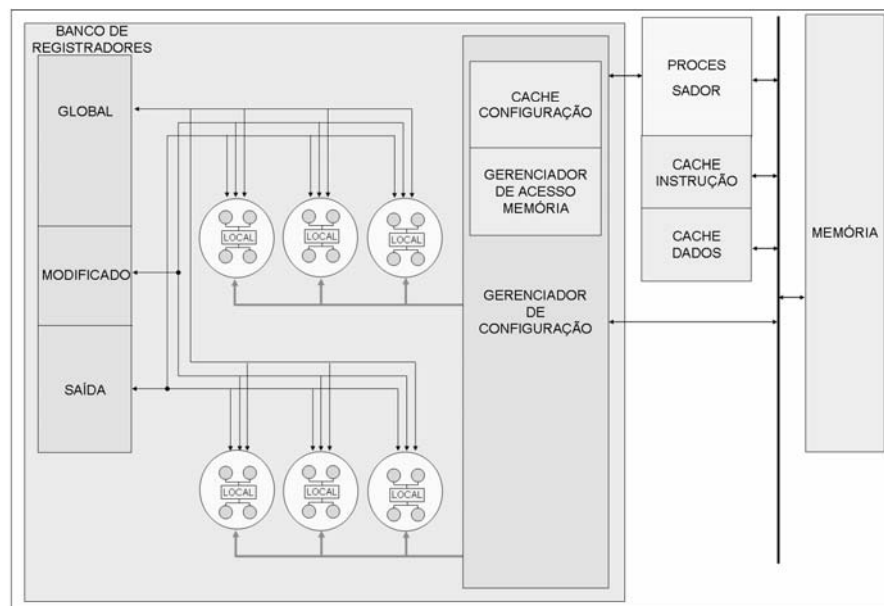
Esse artigo está organizado da seguinte forma: a seção 2 apresenta uma visão geral sobre a

arquitetura RoSA. Na seção 3 são apresentadas as principais características dos processadores estudados. A seção 4 apresenta os resultados sobre o desempenho dos processadores. Por fim, na seção 5 é apresentada a conclusão.

## 2. ARQUITETURA RECONFIGURÁVEL RoSA

RoSA (do inglês *Reconfigurable Stream-based Architecture*) é uma arquitetura reconfigurável de granularidade grossa que explora o paralelismo a nível de instrução de aplicações baseadas em fluxo de dados (Pereira, Oliveira, Silva, 2007). A Figura 1 apresenta o diagrama de blocos da arquitetura.

A arquitetura RoSA é formada por um bloco reconfigurável acoplado a um processador hospedeiro. O bloco reconfigurável é composto por: células, banco de registradores, um gerenciador de configuração e um gerenciador de acesso à memória, que serão detalhados a seguir.

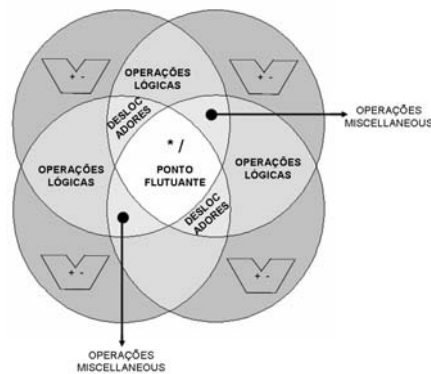


**Figura 1. Diagrama de blocos de RoSA.**

### 2.1. Bloco Reconfigurável

As células correspondem a unidades reconfiguráveis que se comunicam através do banco de registradores. Cada célula possui unidades funcionais (UFs) que executam as operações lógicas e aritméticas, um banco de registradores local e um componente que realiza o controle.

Para a disposição das unidades funcionais foi proposta uma metodologia baseada no reuso de hardware denominada RoSE (*Reuse-based Standard Datapath Architecture*), ilustrada na Figura 2.



**Figura 2. Metodologia RoSE.**

De acordo com a metodologia, as UF's são organizadas em um caminho de dados baseado em quatro níveis de reusabilidade. Cada nível está relacionado com o grau de compartilhamento das operações entre as UF's e o custo das operações em hardware. A aplicação da metodologia permite o projeto da célula como um caminho de dados único, simplificando a comunicação entre as UF's e reduzindo área e custo das unidades, bem como das células.

O primeiro nível de reusabilidade corresponde à área compartilhada entre as quatro UF's e representa as operações mais custosas em hardware e/ou as menos usadas. As áreas compartilhadas entre três UF's correspondem ao segundo nível de reusabilidade e representam as operações não usadas tão frequentemente e relativamente de baixo custo em hardware. O terceiro nível de reusabilidade consiste de operações consideradas pouco custosas em hardware e bastante utilizadas, sendo compartilhadas por duas unidades funcionais. Finalmente, o quarto nível de reusabilidade corresponde às operações mais frequentemente usadas e de baixo custo e estão presentes em todas as UF's.

A arquitetura RoSA possui quatro tipos de banco de registradores. O primeiro deles, denominado global, armazena as informações modificadas pelo processador apenas no início da execução da aplicação. Incluem-se nesse tipo os parâmetros das funções e as variáveis globais. O segundo tipo, denominado modificado, armazena os dados que são alterados pelo processador em tempo de execução. O terceiro tipo corresponde ao banco de registradores de saída e armazena as saídas das células. Por fim, o último tipo de banco de registradores é o local e armazena os cálculos intermediários realizados pelas UF's de cada célula.

O gerenciador de configuração é responsável por buscar a configuração na cache e distribuí-la entre as células. A configuração de cada célula corresponde a uma palavra de instrução longa (120 bits) e a configuração para toda a arquitetura é uma VLIW (do inglês *Very Long Instruction Word*) de 720 bits, que inclui a configuração das seis células.

O controle da célula tem a capacidade de receber a configuração e combiná-la com a arquitetura da célula, buscando os dados e executando as operações nas UF's correspondente.

O gerenciador de acesso à memória é responsável por atender as requisições de memória feitas pelas células. Esse componente recebe todas as requisições de leitura e escrita feitas pelas células e as armazena em uma fila de requisições. Essa abordagem evita incoerência

entre os dados das células e da memória. Mais detalhes sobre a arquitetura podem ser encontrados em (Pereira, Oliveira e Silva, 2007).

## 2.2. Processador

De acordo com (Bondalapati e Prasanna, 2002), o processador hospedeiro é responsável dentre outras tarefas por: executar as funções de controle para configurar o bloco reconfigurável, escalonar os dados de entrada e saída e realizar a interface externa. A seleção dos trechos que serão executados em paralelo é também responsabilidade do processador (particionamento hardware/software), bem como indicar para a lógica reconfigurável o momento de executar. Dessa forma, a escolha de um processador adequado à arquitetura é uma decisão que influencia no resultado final, uma vez que este é responsável pela execução de tarefas críticas que afetam o desempenho da arquitetura .

O processador hospedeiro deve atender a restrições de desempenho, área e potência, de modo a se adequar aos requisitos da aplicação e do bloco reconfigurável. Além destes requisitos é preciso levar em consideração fatores tais como ferramentas disponíveis e compilador a ser utilizado.

Ferramentas e compilador influenciam na etapa de seleção dos trechos de código. É preciso avaliar as limitações de cada ferramenta e do próprio compilador para que não existam conflitos entre as técnicas escolhidas para a exploração de paralelismo e a disponibilidade dos recursos.

Por outro lado, muitas aplicações possuem restrições de tempo. A melhor escolha para atender essas restrições é, portanto, de um processador que combine desempenho, baixo consumo de potência e pequena área de hardware ocupada.

No trabalho apresentado nesse artigo não foi possível avaliar de modo combinado os requisitos de área, potência e desempenho. Entretanto, as próximas seções apresentam uma comparação entre o desempenho dos processadores SPARC V8 e Nios II. Para fins de comparação, algumas aplicações foram mapeadas para a arquitetura RoSA e executadas. Os resultados de desempenho foram extraídos e analisados.

## 3. SPARC V8 X NIOS II

Assim como a maioria dos microprocessadores modernos, O SPARC V8 (do inglês *Scalable Processor ARChitecture Version 8*) é baseado em uma arquitetura RISC (do inglês *Reduced Instruction Set Computer*). Estas arquiteturas apresentam um conjunto reduzido de instruções, porém com aproximadamente o mesmo desempenho de arquiteturas CISC (do inglês *Complex Instruction Set Computer*). No SPARC V8 esse conjunto é formado por 72 instruções básicas.

O SPARC foi projetado pela Sun Microsystems em 1985, tendo como principais objetivos otimizar compiladores e facilitar a implementação de pipeline. Tais características, juntamente com o gerenciamento de janelas de registradores, provêm significativo desempenho ao processador SPARC V8 (Sun Microsystem, 2007).

O processador Nios II, análogo ao SPARC V8, baseia-se em uma arquitetura RISC

composta por 94 instruções básicas. No seu projeto a Altera visou o oferecimento de maior flexibilidade aos seus FPGAs (Altera, 2007).

Nios II é um processador configurável, ao qual é possível adicionar novas instruções e periféricos. Além disso, o Nios II disponibiliza três opções de núcleo, cada qual com uma proposta de uso diferente: o Nios II/f (maior e mais rápido), o Nios II/s (padrão) e o Nios II/e (menor e menos rápido).

#### 4. RESULTADOS

Nessa seção é apresentada uma avaliação de desempenho dos processadores SPARC V8 e Nios II para uma possível integração com a arquitetura RoSA.

Na obtenção de resultados experimentais para o SPARC V8, foi utilizada uma implementação em SystemC com precisão de ciclo. Quanto ao processador Nios II, foi utilizada sua configuração padrão (Nios II/s) e a ferramenta *Nios II Embedded Design Suite*.

Para efeito de comparação, foram coletados os tempos de execução de quatro aplicações em ambos os processadores: FFT (Transformada Rápida de Fourier, do inglês *Fast Fourier Transform*), sua inversa (IFFT -*Inverse Fast Fourier Transform*), codificação JPEG e DCT (Transformada Discreta de Cosseno, do inglês *Discrete Cosine Transform*). Os resultados obtidos são apresentados nas Tabelas I e II.

Um compilador cruzado (do inglês *cross-compiler*) do GCC foi utilizado para calcular o tempo de execução das aplicações tanto para o SPARC V8 quanto para o Nios II.

O cálculo do tempo total de execução das aplicações foi efetuado em duas etapas. Na primeira, foi calculado o tempo de execução de cada instrução através de uma ferramenta desenvolvida para este propósito. Na segunda, por meio de um perfil da aplicação (do inglês *profile*), utilizou-se o GCC para obter a quantidade de vezes que cada instrução foi executada.

Para avaliar o desempenho dos processadores na arquitetura reconfigurável foi calculado o desempenho apenas dos trechos de código destinados ao processador (em ciclos). Esse resultado é apresentado na Tabela I. Nessa tabela também é apresentada a diferença de desempenho (em porcentagem) entre o SPARC V8 e o Nios II.

Como é possível observar na Tabela I, todas as medições realizadas sobre o processador Nios II apresentam valores de tempo menores do que os do SPARC V8. De acordo com a Tabela I, para a arquitetura reconfigurável, o ganho de desempenho na utilização do Nios II para executar apenas os trechos da aplicação JPEG que não são paralelos é de 42,17% em comparação ao SPARC V8.

A Tabela II apresenta quanto o ganho de desempenho alcançado representa em toda a aplicação. A primeira coluna dessa tabela indica quanto a parte executada no processador representa de toda aplicação (em porcentagem). Essa informação foi obtida a partir de um estudo apresentado em (Pereira, Oliveira e Silva, 2007).

De acordo com a tabela, o processador hospedeiro executa 63,57% da aplicação JPEG, os outros 36,43% são executados em paralelo no bloco reconfigurável. Portanto, um ganho de desempenho de 42,17% em 63,57% do código implica em um ganho de 26,8% no tempo de execução de toda aplicação (em comparação a execução do mesmo trecho no SPARC V8).

**Tabela I. Tempo de execução da parte destinada ao processador.**

Aplicações	SPARCV8 (ciclos)	Nios II (ciclos)	Diferença (%)
DCT	21.232	14.764	30,46
FFT	440.639	230.583	47,67
IFFT	838.931	451.273	46,20
JPEG	18.725	10.827	42,17

**Tabela II. Ganho de desempenho total.**

Aplicações	Parte seqüencial (%)	Diferença Nios X SPARC (%)	Ganho de desempenho total (%)
DCT	26,07	30,46	7,94
FFT	17,11	47,67	8,15
IFFT	37,99	46,20	17,55
JPEG	63,57	42,17	26,8

Os resultados obtidos são decorrentes de o Nios II possuir componentes mais velozes do que o SPARC V8. Dessa forma, de acordo com as restrições impostas pelas aplicações baseadas em fluxo de dados, é possível concluir que o processador mais adequado para a arquitetura reconfigurável RoSA é o Nios II da Altera.

Embora nesse artigo a comparação de desempenho tenha sido realizada apenas entre dois processadores, a estratégia utilizada para obter os resultados pode ser aplicada para qualquer conjunto de testes. Apenas deve-se considerar se existem compiladores cruzados para os processadores escolhidos.

## 5. CONCLUSÕES

Esse artigo apresentou um estudo sobre o impacto que o processador hospedeiro causa no desempenho das arquiteturas reconfiguráveis híbridas. No contexto deste trabalho as avaliações foram direcionadas aos processadores SPARC V8 da Sun Microsystems e o Nios II da Altera.

No estudo de caso foi feita uma comparação do desempenho entre os dois processadores citados anteriormente. O objetivo da comparação foi fazer opção entre um dos dois processadores para anexá-lo à arquitetura reconfigurável RoSA.

Os resultados obtidos foram favoráveis à escolha do Nios II. Essa escolha foi feita com base em resultados experimentais que indicaram que os componentes do Nios II se mostraram mais velozes do que os do SPARC V8. Os resultados do Nios II alcançaram ganho de desempenho de até 47,67% na execução seqüencial do trecho da aplicação destinado ao processador em comparação ao SPARC V8.

Com os resultados apresentados é possível perceber o quanto o processador hospedeiro influencia no desempenho total da arquitetura reconfigurável. Dessa forma, é de extrema importância escolher um processador adequado às restrições tanto das aplicações quanto da própria arquitetura.

Os trabalhos futuros incluem a conclusão da implementação da arquitetura RoSA na linguagem de descrição de hardware VHDL (Dewey, 1996) e a anexação da arquitetura ao processador NIOS II. Para essa etapa última etapa também está prevista a conclusão da fase de otimização para a arquitetura RoSA inserida no compilador GCC.

## 6. REFERÊNCIAS BIBLIOGRÁFICAS

Altera Corporation. **Nios II Processor Reference Handbook**. <http://www.altera.com>, 2007.

Bondalapati, K., Prasanna, V. K. **Reconfigurable Computing Systems**. Proceedings of the IEEE, Volume: 90, Issue: 7, IEEE Computer Society, 1201- 1217, 2002.

Dewey, A. **Analysis and Design of Digital Systems with VHDL**. Cengage-Engineering, 1996.

Hartenstein, R. **A Decade of Reconfigurable Computing: a Visionary Retrospective**. Proceedings of Design, Automation and Test in Europe, Munique, Alemanha, 13-16, IEEE Computer Society, 642-649, 2001.

Levine, B. A., Schmit., H. H. **Efficient Application Representation for HASTE: Hybrid Architectures with a Single, Transformable Executable**. 11th Annual IEEE Symposium on Field-Programmable Custom Computing Machines, IEEE Computer Society, 101-110, 2003.

Mangione-Smith, W. H. et al. **Seeking Solutions in Configurable Computing**. IEEE Computer, Volume: 30, Issue: 12, 38-43, 1997.

Pereira, M. M., Oliveira, B. C., Silva, I. S. **RoSA: a Reconfigurable Stream-based Architecture**. 20th Symposium on Integrated Circuits and Systems Design, Rio de Janeiro, Brasil, ACM Press, 2007. Sun Microsystems. **The SPARC Architecture Manual: Version 8**. <http://www.sun.com>, 2007. SystemC, <http://www.systemc.org>, 2007.